

TRANZISTORIŲ VALDYMO SIGNALŲ VĒLINIMO GRANDINĖS ŠEŠIAFAZIAME DAŽNIO KEITIKLYJE

Aurelijus PITRĖNAS, Donatas UZNYS

Vilniaus Gedimino technikos universitetas, Vilnius, Lietuva
El. paštas: aurelijus.pitrenas@gmail.com

Santrauka. Šiame straipsnyje atskleistas daugiafazių asinchroninių pavarų valdymas, išnagrinėta šešiafazio dažnio keitiklio sandara. Straipsnyje nagrinėjama šešiafazio dažnio keitiklio inverterio tranzistorių valdymo signalų vėlinimo grandinė. Sudaryti jų kompiuteriniai modeliai, naudojant *LTspice* programinį paketą gauti grandinių imitaciniai rezultatai, kurie palyginti su eksperimentiniais šių grandinių tyrimo rezultatais. Gaunamos imitacinių rezultatų parametrų vertės yra artimos eksperimentinių tyrimų rezultatams.

Reikšminiai žodžiai: daugiafazės pavaros, dažnio keitiklis, skaliarinis valdymas, šešiafazis asinchroninis variklis.

Įvadas

Susidomėjimas daugiafazėmis pavaromis pastaraisiais metais vis didėja. Pagrindinė to priežastis – šių pavarų pranašumas prieš įprastas pavaras. Daugiafazės pavaros pasižymi mažesnėmis sukamojo momento pulsacijomis, didesniu patikimumu, galimybe dirbti sugedus vienai iš fazių bei kitais privalumais lyginant su trifazėmis pavaromis. Daugiafazės pavaros plačiai taikomos elektromobiliuose, laivuose, lokomotyvuose bei orlaivuose (Fuhui-kai 2012; Venter *et al.* 2012). Pagrindinis šių pavarų trūkumas yra tas, jog pramonėje nėra daugiafazio tinklo, todėl joms naudoti ir valdyti būtini daugiafaziai dažnio keitikliai. Šių dažnio keitiklių fazių išėjimo skaičius būna skirtingas, todėl ir jų valdymas skiriasi.

Išskiriami du asinchroninių variklių valdymo būdai. Pirmasis valdymo būdas vadinamas skaliariniu valdymu. Naudojant šį būdą yra keičiamas asinchroninio variklio maitinimo įtampos dažnis ir amplitudė. Antrasis būdas vadinamas vektoriniu valdymu. Taikant šį valdymą yra keičiama variklio srovės fazė, jos amplitudė ir dažnis.

Skaliarinis valdymo būdas yra daug paprastesnis, jį lengviau įgyvendinti dažnio keitiklyje, tačiau šiuo būdu valdomos pavaros dinaminės savybės yra blogesnės lyginant jį su vektoriniu valdymu (Renato, Lipo 2002; Vukosavic *et al.* 2005).

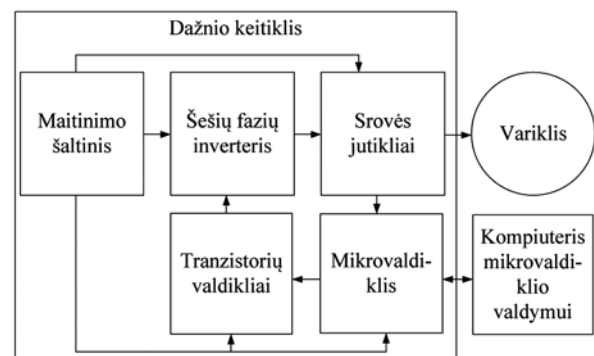
Vektorinis valdymas yra sudėtingesnis, nei skaliarinis, todėl norint jį įgyvendinti dažnio keitikliuose įprasto mikrovaldiklio nepakanka. Tokiuose dažnio keitikliuose

dažniausiai naudojami skaitmeniniai signalų procesoriai, programuojamos laukų matricos ar net specializuoti integriniai grandynai. Tai didina sistemos sudėtingumą bei kainą, tačiau vektorinis valdymas pasižymi geresnėmis dinaminėmis savybėmis (Taheri *et al.* 2011, 2012).

Šešiafazio dažnio keitiklio funkcinė blokinė schema

Projektuojamo šešiafazio dažnio keitiklio funkcinė blokinė schema pateikiama 1 pav.

Šešiafazis dažnio keitiklis savo vidine sandara nedaug skiriasi nuo trifazio dažnio keitiklio. Pagrindinis skirtumas yra tas, jog galios grandinė, t. y. inverteris, sudarytas ne iš trijų pakopų, o iš šešių galios pakopų. Viena inverterio galios pakopa yra sudaryta naudojant du puslaidininkinius



1 pav. Šešiafazio dažnio keitiklio funkcinė schema
Fig. 1. Block diagram of six-phase frequency inverter

raktus, dažniausiai naudojami metalo–oksido–puslaidininkio lauko tranzistoriai (angl. *MOSFET*) arba izoliuotos užtūros dvipoliai tranzistoriai (angl. *IGBT*). Šios galios pakopos yra jungiamos prie nuolatinės įtampos šaltinio. Nuolatinė įtampa gaunama išlyginus kintamąją pramoninio tinklo įtampą, naudojant diodų tiltelį ir kondensatorius. Taip pat maitinimo šaltinis tiekia elektros energiją ir kitiems dažnio keitiklio komponentams. Inverterio apkrova, t. y. šešiafazis asinchroninis variklis, jungiamas prie galios pakopų vidurio taškų. Šešiafazis asinchroninis variklis jungiamas žvaigžde.

Kadangi šešių fazių inverteris komutuoja dideles sroves ir aukštas įtampas, inverterio tranzistoriams valdyti naudojami papildomi tranzistorių valdikliai. Dažnu atveju šių valdiklių įėjimai ir išėjimai būna optiškai ar galvaniskai izoliuoti. Tranzistorių valdikliai naudojami ir dėl to, kad mikrovaldiklio išėjimų įtampos ir srovės būna nepakankamos greitai komutuoti didelės galios tranzistorius. Tranzistorių valdiklis sustiprina mikrovaldiklio formuojamus tranzistorių valdymo signalus.

Mikrovaldiklis, atsižvelgiant į valdymo algoritmą, formuoja valdymo signalus dažnio keitiklio įtampos inverterio raktams. Taip pat mikrovaldiklis matuoja valdomojo variklio fazines sroves, kad būtų užtikrintas stabilus dažnio keitiklio darbas. Tam naudojami įvairūs srovės jutikliai, kurie

vienaip ar kitaip išmatuotą srovę konvertuoja į atitinkamą įtampą ir ją perduoda į mikrovaldiklio analoginį-skaitmeninį keitiklį, kuriame ši įtampa yra keičiama dvejetainiu kodu. Toliau mikrovaldiklis stebi variklio fazines sroves ir atsiradus viršsrovėms stabdo inverterio, o tuo pačiu ir viso dažnio keitiklio darbą. Viena būtina sąlyga srovės jutikliams yra ta, kad jie turi galvaniskai izoliuoti didelės galios variklio maitinimo grandinę nuo mažos galios mikrovaldiklio grandinės. Tam gali būti naudojami Holo efektu paremti srovės jutikliai arba šunto varžos kartu su optiškai izoliuotais operaciniais stiprintuvais.

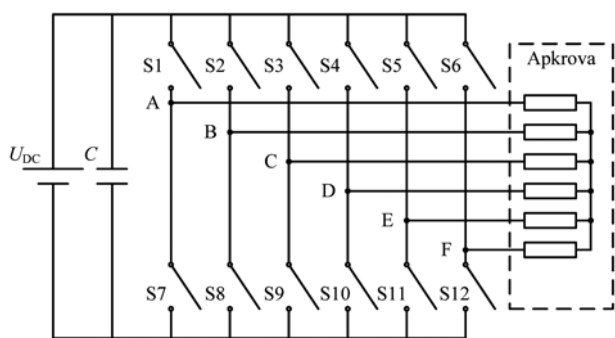
Pramoninis kompiuteris dažniausiai būna nereikalingas, nes visus dažnio keitiklio modulius valdo mikrovaldiklis. Dažniausiai pramoninis kompiuteris vykdo aukštesnio lygio valdymo funkcijas: dažnio keitiklio parametrų koregavimas, pavaros valdymo algoritmo formavimas bei duomenų, gaunamų iš dažnio keitiklio, apdorojimas.

Šešiafazės įtampos formavimas

Norint suformuoti šešiafazę įtampą naudojamas šešių pakopų įtampos inverteris (2 pav.). Kai inverteris dirba sinchroniniu režimu, tai reiškia, kad vienu metu vienoje galios pakopoje esantys tranzistoriai dirba sinchroniškai, kai viršutinis tranzistorius S1 yra atidarytas, apatinis tranzistorius S7 būna uždarytas ir atvirkščiai. Kai visos inverterio galios pakopos yra komutuojamos atitinkamu režimu, į apkrovą yra perduodama kintama šešiafazė įtampa.

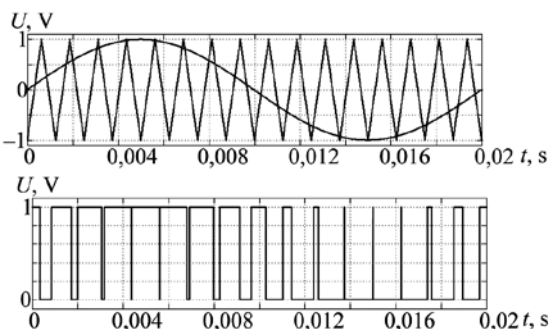
Naudojant sinchroninę įtampos inverterį keliami mažesni reikalavimai mikrovaldikliui, o tai sumažina visos sistemos kainą. Norint valdyti sinchroninę šešiafazę įtampos inverterį, mikrovaldiklis turi formuoti šešis impulsų pločio moduliacijos (IPM) signalus, kiekvienai galios pakopai atskirai. Impulsų pločio moduliacijos signalas turi kisti tokiu dėsniu, kuris sutaptų su sinusiniu dėsniu kintančia funkcija. Toks signalas vadinamas sinusine impulso pločio moduliacija (SIPM, angl. *SPWM*) arba nešlio dažnio impulso pločio moduliacija. Tokio signalo formavimo principas pateiktas 3 pav.

IPM formavimas naudojant nešlio dažnį yra paprastas. Sinusinės formos signalas yra lyginamas su aukštesnio dažnio trikampių signalu: kol sinusinio signalo amplitudė yra didesnė už trikampių signalo amplitudę, IPM signalo išėjimas yra aukšto loginio lygio; kai sinusinio signalo amplitudė yra mažesnė už trikampių signalo amplitudę, IPM signalo išėjimas yra žemo loginio lygio. Trikampių signalo dažnis yra vadinamas nešlio dažniu. Verta paminėti, kad kuo didesnis nešlio dažnis, tuo sinusinė išėjimo įtampa turi mažesnius iškraipymus. Jeigu norima sumažinti išėjimo įtampos amplitudę, reikia sumažinti sinusinio signalo



2 pav. Idealizuotas šešiafazis inverteris

Fig. 2. Ideal six phase inverter



3 pav. Sinusinė IPM

Fig. 3. Sinusoidal PWM

amplitudę, o trikampio signalo amplitudę nekeičiama. Seniau šis valdymo būdas buvo įgyvendinamas naudojant analogines schemas, o šiuo metu – mikrovaldiklius ar skaitmeninius signalų procesorius.

Suprojektuotame dažnio keitiklyje įtampos formavimas atliekamas taikant įterptinę sistemą su mikrovaldikliu. Ši sistema generuoja SIPM signalus galios tranzistorių valdikliams, stebi inverterio fazines sroves, viršįtampius nuolatinės srovės grandinėje. SIPM signalai formuojami pagal iš anksto sugeneruotą IPM verčių lentelę. Priklausomai nuo formuojamos įtampos kampo į IPM registrą įrašoma atitinkama vertė iš apskaičiuotos lentelės. Jeigu generuojamas dažnis yra mažesnis, nei 50 Hz, tai prieš įrašant vertę į IPM registrą, ji yra padalinama iš atitinkamos vertės konstantos.

Tranzistorių valdymo signalų vėlinimo grandinės

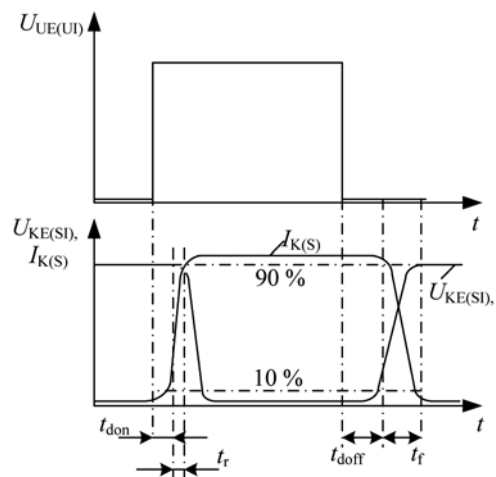
Dažnio keitiklių galios pakopoje (inverteryje) dažniausiai naudojami metalo-oksido-puslaidininkio lauko tranzistoriai arba izoliuotos užtūros dvipoliai tranzistoriai. Šio tipo tranzistoriai turi daug privalumų lyginant juos su kitais dvipoliais tranzistoriais – tranzistoriai yra valdomi srove, kuri gali siekti kelis amperus. Šie tranzistoriai yra greitesni, nei tokios pat galios dvipoliai tranzistoriai, taip pat gali būti atsparūs trumpalaikiam (iki keliolikos mikrosekundžių) apkrovos trumpajam jungimui. Tranzistorių įsijungimo ir išsijungimo dinamika pateikta 4 pav.

Norint atidaryti metalo-oksido-puslaidininkio lauko tranzistorių ar izoliuotos užtūros dvipolį tranzistorių, į jo užtūrą būtina tiekti 10–20 V įtampą. Šio tipo tranzistorių uždarymas trunka ilgiau nei atidarymas. Dėl pastarosios savybės būtina užtikrinti tranzistorių valdymo signalų vėlinimą tam, kad vienoje pakopoje esantys tranzistoriai neatsidarytų vienu metu. Šis valdymo signalų vėlinimas gali būti įgyvendintas programiniu būdu įterptinėje sistemoje, tačiau toks būdas turi trūkumų: užstrigus įterptinei sistemai ar padarius klaidą jos valdymo programoje, sistema gali nebeužtikrinti šių signalų vėlinimo, dėl to gali būti sugadinti inverterio tranzistoriai. Dėl didelio šešiafazio inverterio tranzistorių skaičiaus, bei įterptinės sistemos resursų tausojimo, tranzistorių valdymo signalų vėlinimo grandinės turi užtikrinti abiejų vienoje pakopoje esančių tranzistorių valdymą naudojant tik vieną IPM signalą.

Projektuojant šešiafazį dažnio keitiklį buvo bandomos dvi skirtingos tranzistorių valdymo signalų vėlinimo grandinės. Viena iš jų sudaryta naudojant keturių skilčių postūmio registrus. Šios vėlinimo grandinės elektrinė principinė schema pateikta 5 pav.

Šioje grandinėje naudojami du keturių skilčių postūmio registrai (U1-1 ir U1-2), kurie realizuojami

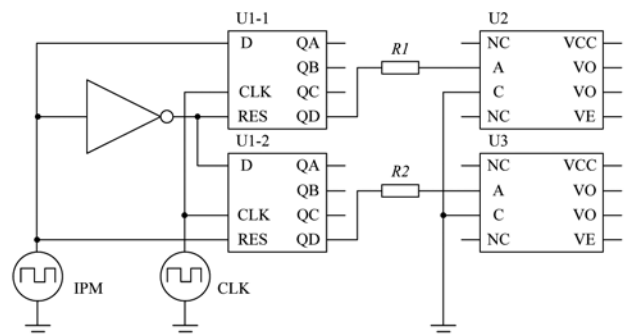
naudojant integrinį grandyną CD4015. Šiai schemai taip pat reikalingas taktinio dažnio generatorius (CLK), bei inverteris. Atsiradus aukštam IPM loginiam lygiui pirmojo postūmio registro įėjime, jo ketvirtajame išėjime aukštas loginis lygis atsiras po keturių taktinio dažnio generatoriaus ciklų, tuo tarpu antrasis postūmio registras bus išjungtas. Pasikeitus IPM būsenai iš aukšto loginio lygio į žemą, pirmasis postūmio registras bus išjungiamas, o antrajame postūmio registre atsiras aukštas loginis lygis, kuris po keturių taktinio dažnio generatoriaus ciklų bus perduotas į ketvirtąjį postūmio registro išėjimą. Tokiu būdu naudojant vieną IPM signalą gaunami du galios tranzistorių valdymo



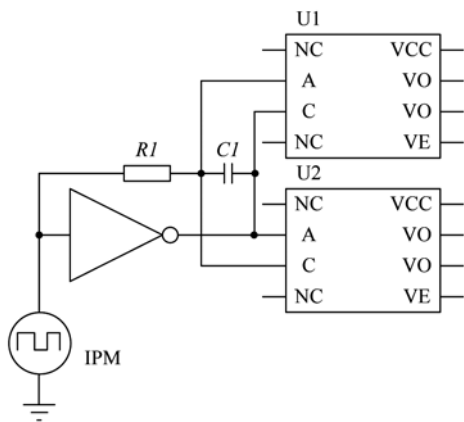
4 pav. MOSFET ir IGBT tranzistorių dinaminiai parametrai

Fig. 4. Dynamic parameters of MOSFET and IGBT

4 pav. žymenys: $U_{UE(U)}$ – tranzistoriaus užtūros įtampa; $U_{KE(S)}$ – tranzistoriaus kolektoriaus-emiterio arba santakos-ištakos įtampa; $I_{K(S)}$ – tranzistoriaus kolektoriaus arba santakos srovė; t_{don} – laikas nuo atidarymo įtampos užtūroje atsiradimo iki kolektoriaus arba santakos srovės užaugimo iki 10 % nominalios vertės; t_{doff} – laikas nuo uždarymo įtampos atsiradimo užtūroje iki $U_{KE(S)}$ išaugimo iki 10 % nominalios vertės; t_r – laikas, per kurį kolektoriaus arba santakos srovė išauga nuo 10 % iki 90 % savo nominalios vertės; t_f – tai laikas, per kurį kolektoriaus arba santakos srovė nukrinta nuo 90 % iki 10 % savo nominalios vertės.

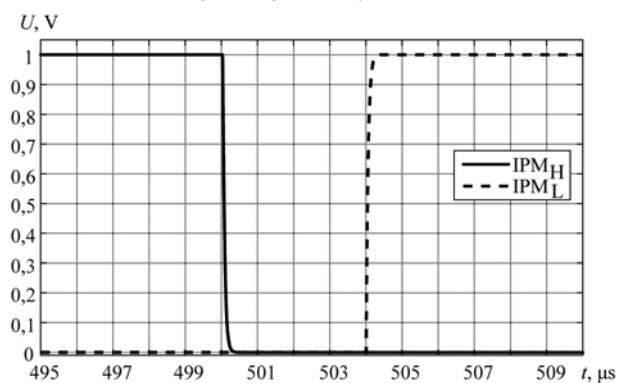


5 pav. Signalų vėlinimo grandinė su postūmio registrais
Fig. 5. Signal delay circuit with shift registers



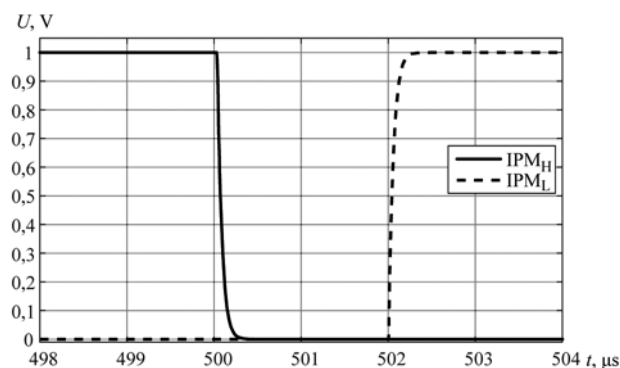
6 pav. Signalų vėlinimo grandinė

Fig. 6. Signal delay circuit



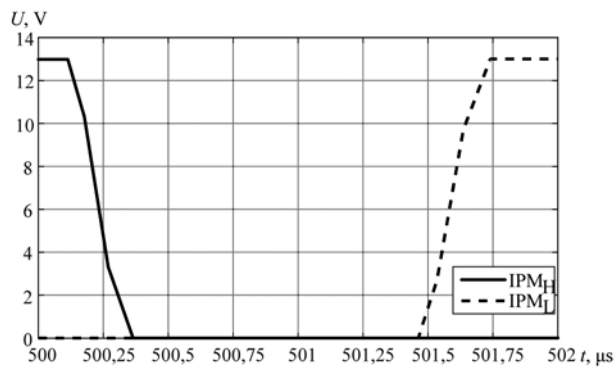
7 pav. Signalų vėlinimas, kai $f_{clk} = 1$ MHz

Fig. 7. Signal delay, when $f_{clk} = 1$ MHz



8 pav. Signalų vėlinimas, kai $f_{clk} = 2$ MHz

Fig. 8. Signal delay, when $f_{clk} = 2$ MHz



9 pav. Signalų vėlinimas, kai $C1 = 5,6$ nF

Fig. 9. Signal delay, when $C1 = 5,6$ nF

signalai, kurių įsijungimo frontai yra vėlinami keturiais taktinio dažnio generatoriaus ciklais. Šie valdymo signalai toliau perduodami į tranzistorių valdiklius ($U2$ ir $U3$), kurie realizuojami naudojant VO3120 integruojamus grandynus. Prie šių grandynų VO išėjimų jungiamos valdomųjų tranzistorių užtūros. Šie išėjimai kiekviename integruojamame grandyne yra sudvejinti.

Antroji tranzistorių valdymo signalų vėlinimo grandinė pateikta 6 pav.

Ši vėlinimo grandinė sudaryta iš tranzistorių valdiklių ($U1$ ir $U2$), kurie realizuojami naudojant VO3120 integruojamus grandynus, varžos $R1$, kondensatoriaus $C1$ ir invertorio. Šie tranzistorių valdikliai yra optiškai izoliuoti. Šviesos diodai, esantys tranzistorių valdiklių įėjime, yra sujungiami priešpriešai. IPM formuojamas aukštas loginis lygis patenka į pirmojo tranzistorių valdiklio optoporos anodą, o invertoris formuoja žemą loginį lygį, kuris perduodamas katodui. Šiuo momentu yra įjungiamas pirmasis tranzistorių valdiklis, o antrasis būna išjungtas. Pasikeitus IPM būsenai iš aukšto loginio lygio į žemą pirmasis tranzistorių valdiklis išjungiamas, o antrasis po tam tikram laiko įjungiamas. Šis laiko tarpas priklauso nuo komponentų $R1$ ir $C1$ verčių.

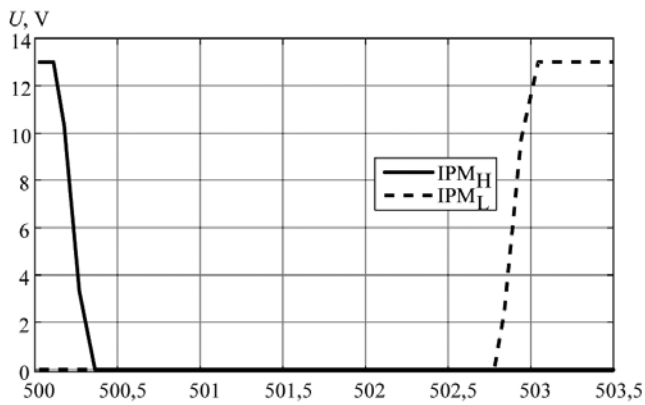
Tyrimų rezultatai

Tiriant tranzistorių valdymo signalų vėlinimo grandines buvo sudaryti jų imitaciniais modeliais LTspice aplinkoje. Standartinėje LTspice elementų bibliotekoje nėra pirmoje grandinėje naudojamų CD4015 integruojamų grandynų modelių, todėl jie buvo sudaryti iš keturių nuosekliai sujungtų D tipo trigerių. Pirmoji grandinė buvo imituojama esant dviem skirtingiems taktiniams dažniams: 1 MHz (7 pav.) ir 2 MHz (8 pav.). Šiuose paveiksluose grandinės išėjimo signalai pavadinti IPM_H ir IPM_L .

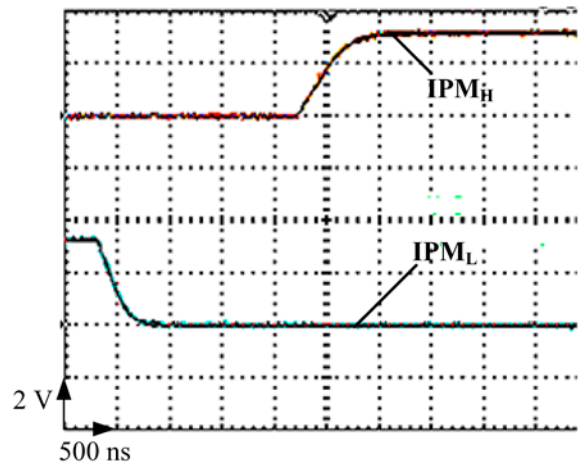
Iš 7 pav. matyti, kad esant 1 MHz taktiniam dažniui analizuojama grandinė generuoja 4 μ s IPM signalo vėlinimą kylančiame signalo fronte. Kitu atveju (8 pav.), kai taktinis dažnis – 2 MHz, tai signalo vėlinimas 2 μ s.

Analizuojant antrąją tranzistorių valdymo signalų vėlinimo grandinę LTspice programiniame pakete buvo sudarytas integruojamo grandyno VO3120 modelis, nes standartinėje modelių bibliotekoje šio elemento nėra. Atliekant imitacinius tyrimus buvo keičiamos grandinės elemento $C1$ vertės: pirmuoju atveju $C1 = 5,6$ nF (9 pav.), antruoju – $C1 = 11,2$ nF (10 pav.). Elemento $R1$ vertės buvo pastovios – $R1 = 220 \Omega$.

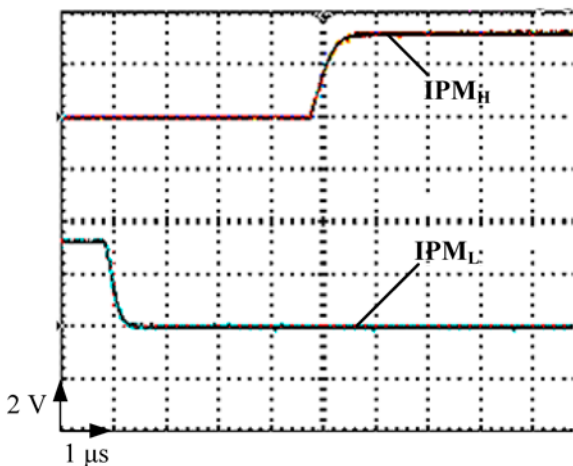
Iš 9 pav. matyti, kad tranzistorių valdymo signalų vėlinimo grandinė generuoja 1,5 μ s vėlinimą kylančiame tranzistorių valdymo signalų fronte, o padidinus elemento $C1$ vertę (10 pav.) – 2,8 μ s.



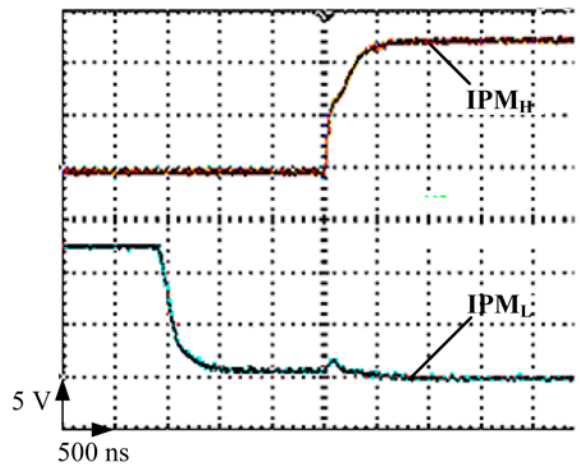
10 pav. Signalų vėlinimas, kai $CI = 11,2$ nF
Fig. 10. Signal delay, when $CI = 11,2$ nF



12 pav. Išmatuotas signalų vėlinimas, kai $f_{clk} = 2$ MHz
Fig. 12. Measured signal delay, when $f_{clk} = 2$ MHz



11 pav. Išmatuotas signalų vėlinimas, kai $f_{clk} = 1$ MHz
Fig. 11. Measured signal delay, when $f_{clk} = 1$ MHz

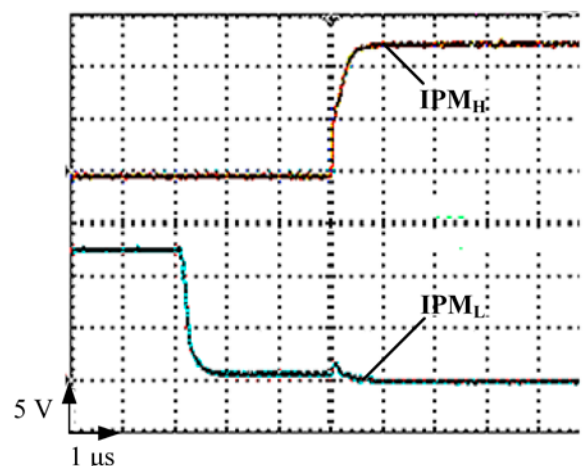


13 pav. Išmatuotas signalų vėlinimas, kai $CI = 5,6$ nF
Fig. 13. Measured signal delay, when $CI = 5,6$ nF

Šešiafazio dažnio keitiklio maketo gamybos metu abi aprašytos vėlinimo grandinės buvo ištyrta eksperimentiškai. Šių tyrimų metu grandinių parametrai buvo tokie pat, kaip ir imitaciniuose tyrimuose. Pirmosios grandinės, kai $f_{clk} = 1$ MHz, eksperimentinio tyrimo rezultatai pateikti 11 pav. o, kai $f_{clk} = 2$ MHz – 12 pav. Iš 11 pav. matyti, kad grandinė generuoja 3,7 μ s IPM signalo vėlinimą, tuo tarpu 12 pav. matome signalą, kuris vėlinamas 1,8 μ s.

Antrosios vėlinimo grandinės eksperimentinio tyrimo rezultatai pateikiami 13 pav., kai $CI = 5,6$ nF, ir 14 pav., kai $CI = 11,2$ nF. Iš 13 pav. matyti, kad grandinė generuoja 1,7 μ s IPM signalo vėlinimą, tuo tarpu 14 pav. matome signalą, kuris vėlinamas 3,2 μ s.

Atlikus šiuos tyrimus galima pastebėti, kad imitacinių ir eksperimentinių tyrimų rezultatų paklaida neviršija



14 pav. Išmatuotas signalų vėlinimas, kai $CI = 11,2$ nF
Fig. 14. Measured signal delay, when $CI = 11,2$ nF

15 % (imitaciniai ir eksperimentiniai rezultatai atitinkamai: 1,5 μ s ir 1,7 μ s; 2,8 μ s ir 3,2 μ s; 2,0 μ s ir 1,8 μ s; 4,0 μ s ir 3,7 μ s). Šias paklaidas galima paaiškinti tuo, kad realūs elektronikos komponentai turi paklaidas: naudoti rezistoriai su ± 5 % paklauda, o kondensatoriai su ± 15 % paklauda. Šios elementų paklaidos imitaciniuose modeliuose neįvertinamos.

Išvados

Sudaryti imitaciniai modeliai gali būti taikomi tranzistorių valdymo signalų vėlinimo grandinių tyrimams. Atlikus tyrimus pastebėta, kad pereinamųjų vyksmų kreivės, kurios gautos imitacinių ir eksperimentinių tyrimu metu nesutampa, tačiau signalų vėlinimo laiko paklauda neviršija 15 %.

Pagamintame šešiafazio dažnio keitiklio makete pasirinkta naudoti antrąją tranzistorių valdymo signalų vėlinimo grandinę. Toks pasirinkimas grindžiamas sistemos savi kainos mažinimu. Signalų vėlinimo grandinė su postūmio registras leidžia keisti signalo vėlinimą, keičiant vien tik taktinį dažnį, tačiau šioje signalų vėlinimo grandinėje naudojama daugiau elektronikos elementų, taip pat reikalingas papildomas taktinio dažnio generatorius.

Literatūra

- Fuhui-kai. 2012. Performance analysis of the six-phase induction machine based on trapezoidal phase current waveform, in *2nd International Conference on Electronic & Mechanical Engineering and Information Technology*, EMEIT 7 September 2012, 1392–1396.
- Renato, O. C.; Lipo A. 2002. Torque density improvement in a six-phase induction motor with third harmonic current

injection, *IEEE Transactions on Industry Applications* 38(5): 1351–1360. <http://dx.doi.org/10.1109/TIA.2002.802938>

Taheri, A.; Rahmati, A.; Kaboli S. 2011. Flux search control of field oriented control of six-phase induction motor supplied by Svpwm, *Przegląd Elektrotechniczny (Electrical Review)* 87(8): 171–175.

Taheri, A.; Rahmati A.; Kaboli, S. 2012. Comparison of efficiency for different switching tables in six-phase induction motor DTC drive, *Journal Of Power Electronics* 12(1): 128–135. <http://dx.doi.org/10.6113/JPE.2012.12.1.128>

Venter, P.; Jimoh, A. A.; Munda, J. L. 2012. Realization of a “3 & 6 phase” induction machine, in *XXth International Conference on Electrical Machines*, ICEM 2012, 2–6 September 2012, 447–453.

Vukosavic, S. N.; Jones, M.; Levi, E.; Varga, J. 2005. Rotor flux oriented control of a symmetrical six-phase induction machine, *Electric Power Systems Research* 75(2): 142–152. <http://dx.doi.org/10.1016/j.epsr.2005.02.006>

DEAD-TIME GENERATION IN SIX-PHASE FREQUENCY INVERTER

A. Pitrėnas, D. Uznys

Abstract

In this paper control of multi-phase induction drives is discussed. Structure of six-phase frequency inverter is examined. The article deals with dead-time generation circuits in six-phase frequency inverter for transistor control signals. Computer models of dead-time circuits is created using *LTspice* software package. Simulation results are compared with experimental results of the tested dead-time circuits. Parameters obtained in simulation results are close to the parameters obtained in experimental results.

Keywords: frequency inverter, multi-phase drive, scalar control, six-phase induction motor.